

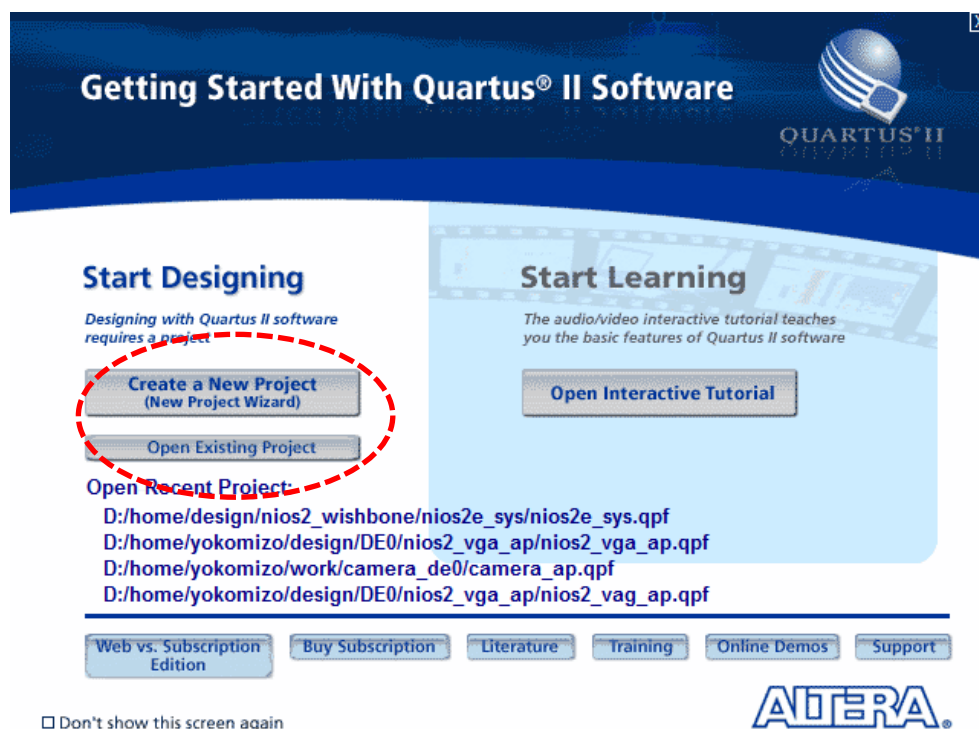
## DE0 用設計データ (OpenCored IP 接続回路) の使い方

### ファイル一覧

- ・ nios2e\_sys.v トップ回路
- ・ clk\_gen.v PLL 回路
- ・ avalon2wb.v WishBone バスブリッジ回路
- ・ nio2e.qsys Qsys 設定ファイル
- ・ avalon2wb\_hw.tcl avalon2wb.v 組み込み用 TCL コマンド
- ・ nios2e\_sys.qsf ピン配置指定
- ・ hello\_world\_small.c pwm 制御用 C ソース

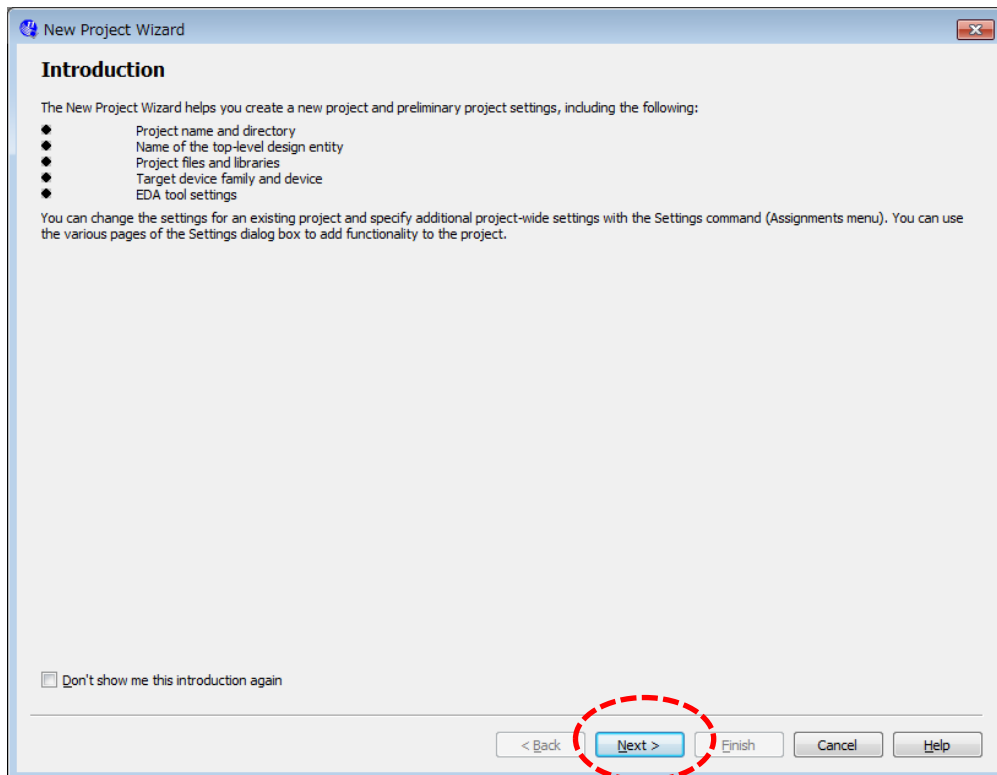
### 設計手順

- ・ 設計用フォルダとして nios\_wishbone/nios2e\_sys を作成する
- ・ 記事のダウンロードデータの opencores\_ip/de0 の下にある Verilog-HDL ソースと QSF ファイルを nios\_wishbone/nios2e\_sys へコピー
- ・ PWM のデータを CopenCores のサイト (<http://opencores.org/project,pwm>) からダウンロード
- ・ ダウンロードした pwm\_latest.tar.gz を解凍する
- ・ 解凍データの pwm/trunk の下にあるファイルを nios\_wishbone/nios2e\_sys へコピー
- ・ 以下の手順で Quartus II の設計プロジェクト作成する

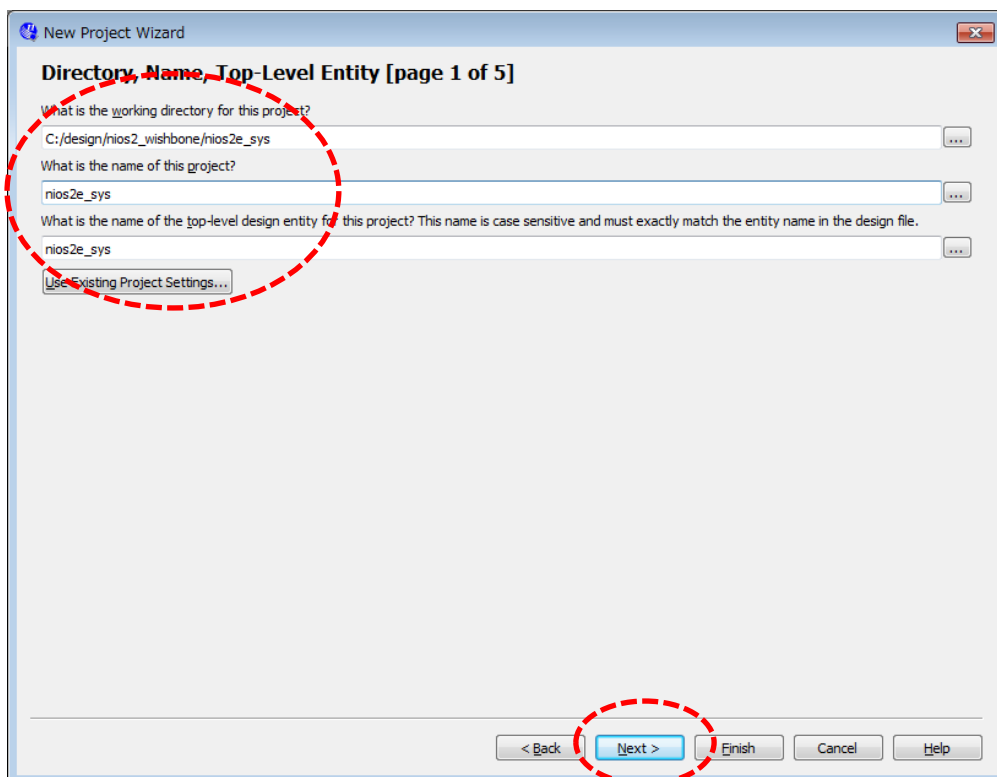


### 新規プロジェクトの作成





NEXT をクリック



設計フォルダ、プロジェクト名の指定



**New Project Wizard**

### Add Files [page 2 of 5]

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.  
Note: you can always add design files to the project later.

File name:

File Name	Type	Library	Design Entry/Synthesis Tool	HDL Version
PWM.v	Veril...			
nios2...	Veril...			Default
nios2...	Qsy...			Default
minu...	Veril...			Default
down...	Veril...			Default
down...	Veril...			Default
clk_g...	Veril...			Default
avalo...	Veril...			Default

Specify the path names of any non-default libraries.

設計データの追加



**New Project Wizard**

### Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.

Device family  
Family:    
Devices:

Target device  
☐ Auto device selected by the Fitter  
☒ Specific device selected in 'Available devices' list  
☐ Other: n/a

Show in 'Available devices' list  
Package:    
Pin count:    
Speed grade:    
Name filter:   
☒ Show advanced devices ☐ HardCopy compatible only

Available devices:

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit elements	PLL	31 C
EP3C16E144I7	1.2V	15408	85	516096	112	4	20
EP3C16F256C6	1.2V	15408	169	516096	112	4	20
EP3C16F256C7	1.2V	15408	169	516096	112	4	20
EP3C16F256C8	1.2V	15408	169	516096	112	4	20
EP3C16F256I7	1.2V	15408	169	516096	112	4	20
EP3C16F484C6	1.2V	15408	347	516096	112	4	20
EP3C16F484C7	1.2V	15408	347	516096	112	4	20

Companion device   
HardCopy:   
☐ Limit DSP & RAM to HardCopy device resources

デバイスの指定、DE0 に合わせる



New Project Wizard

### EDA Tool Settings [page 4 of 5]

Specify the other EDA tools used with the Quartus II software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Formal Verification	<None>		
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back   **Next >**   Finish   Cancel   Help



New Project Wizard

### Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory: C:/design/nios2\_wishbone/nios2e\_sys

Project name: nios2e\_sys

Top-level design entity: nios2e\_sys

Number of files added: 6

Number of user libraries added: 0

Device assignments:

Family name: Cyclone III

Device: EP3C16F484C6

EDA tools:

Design entry/synthesis: <None> (<None>)

Simulation: <None> (<None>)

Timing analysis: 0

Operating conditions:

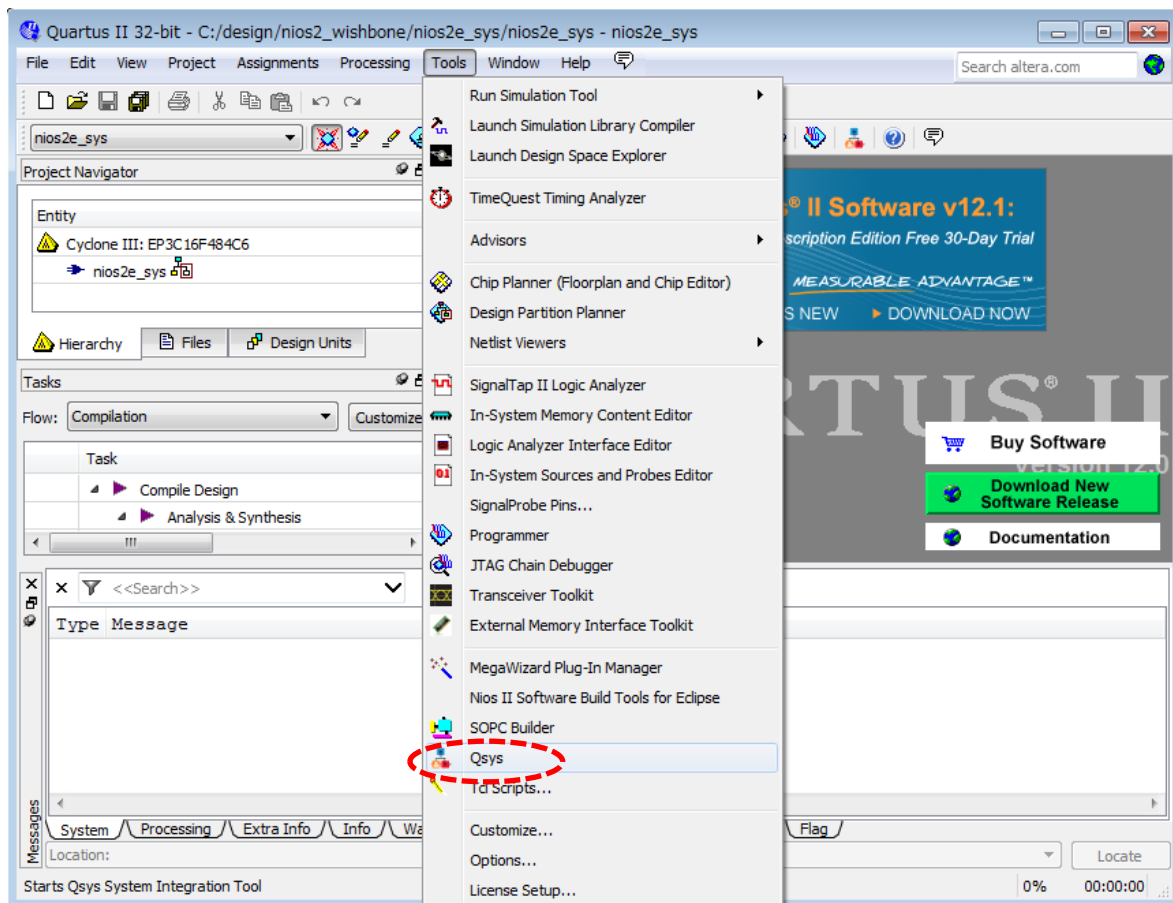
VCCINT voltage: 1.2V

Junction temperature range: 0-85 °C

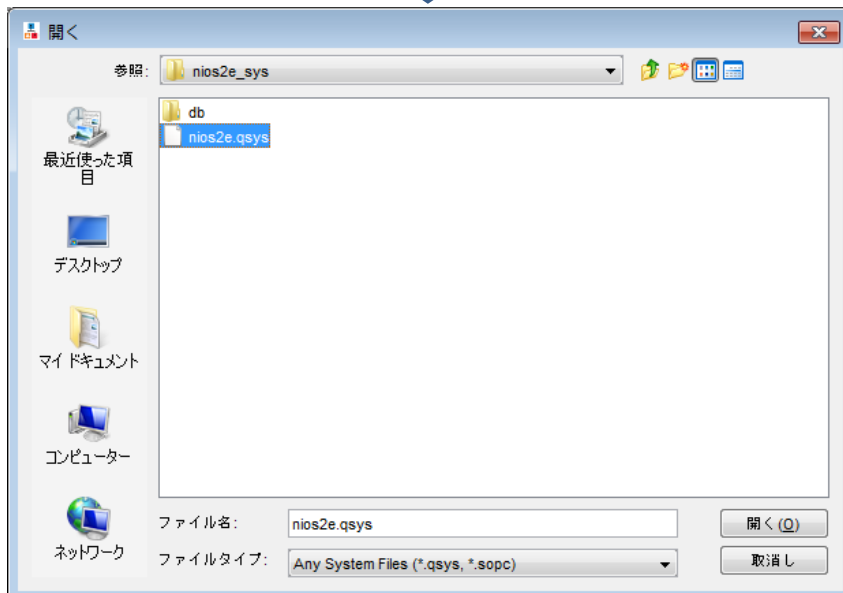
< Back   Next >   **Finish**   Cancel   Help

Finish をクリックでプロジェクトが作成される



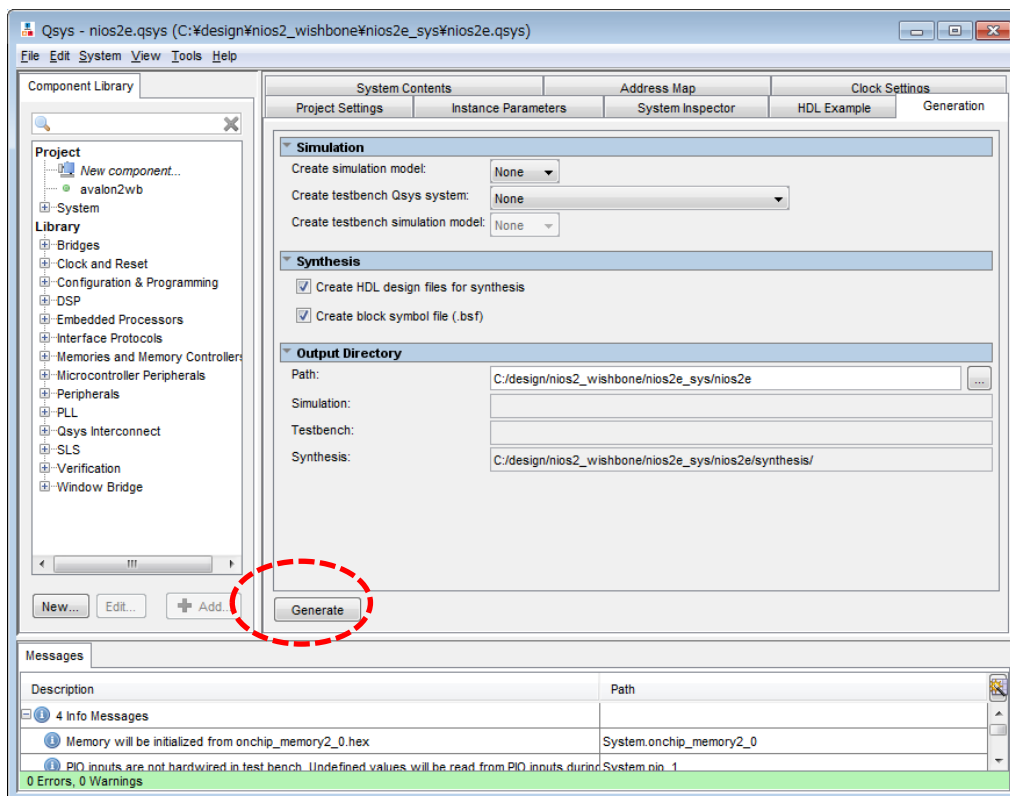


Qsys を起動

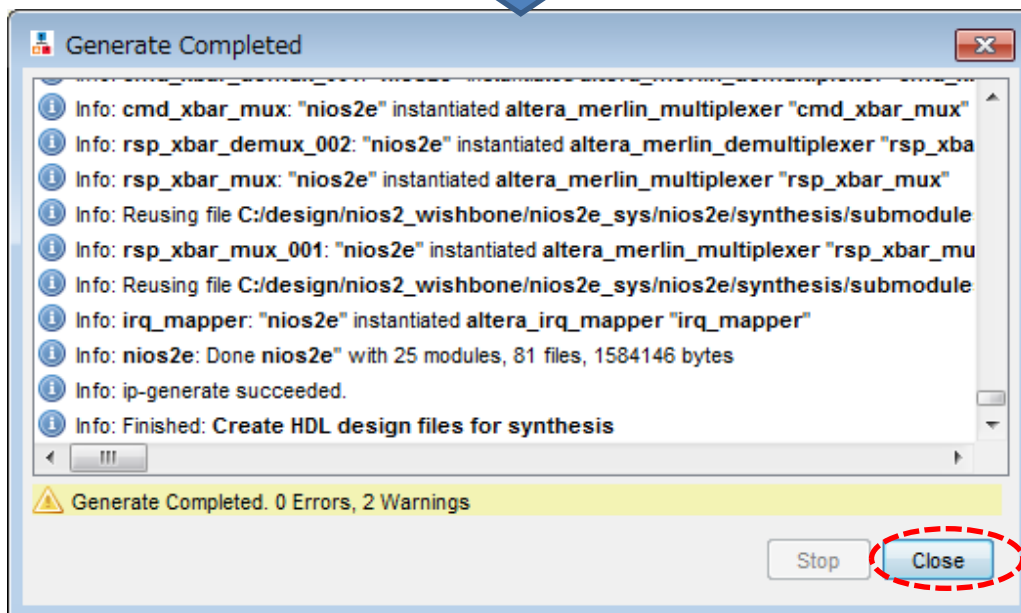


nios2e.qsys を指定



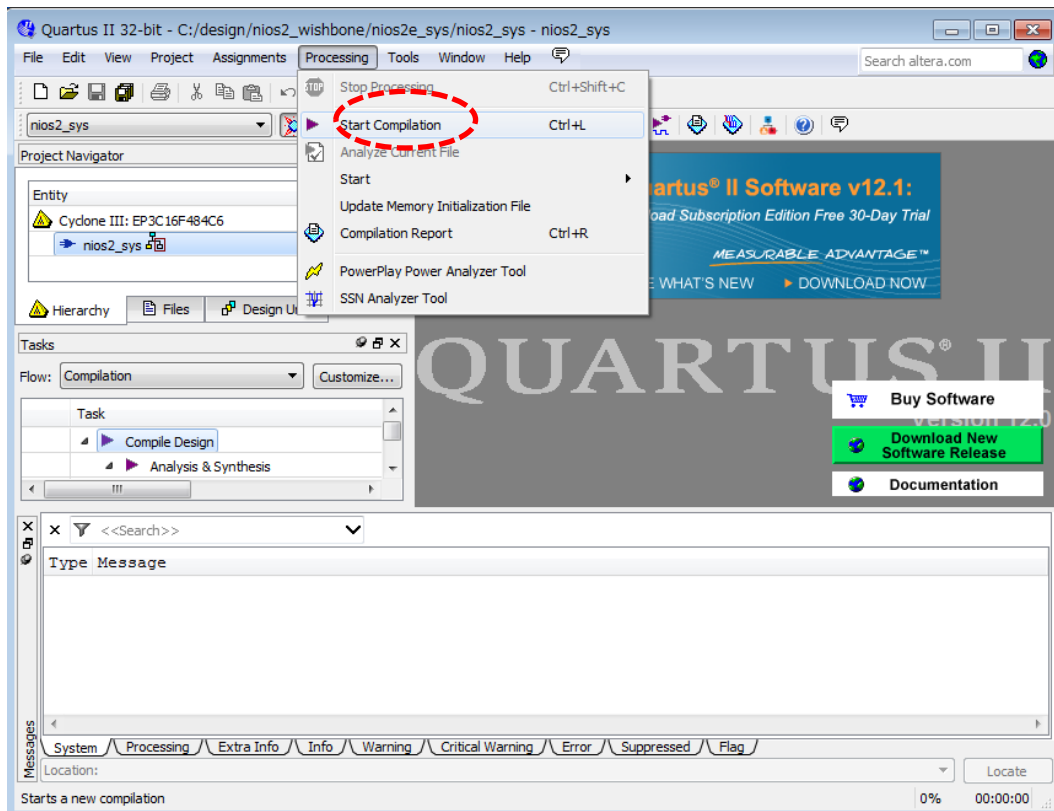


Nios II を作成

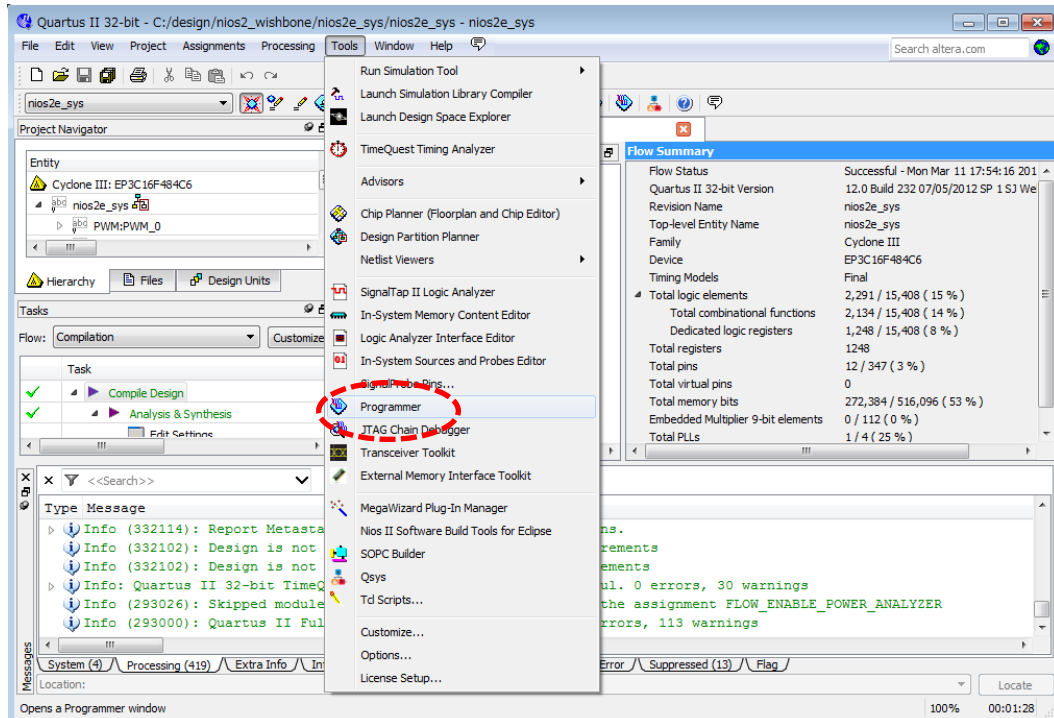


Nios II 作成完了



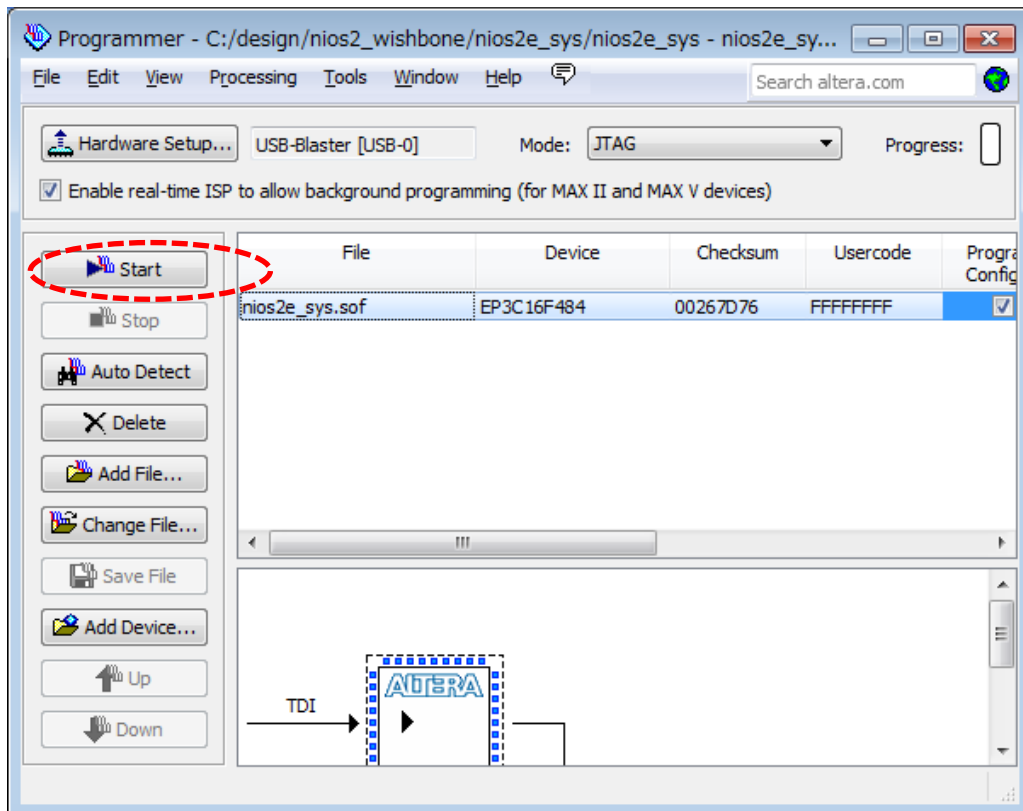


コンパイルを実施



DEO と PC を UDB で接続して  
プログラマの起動

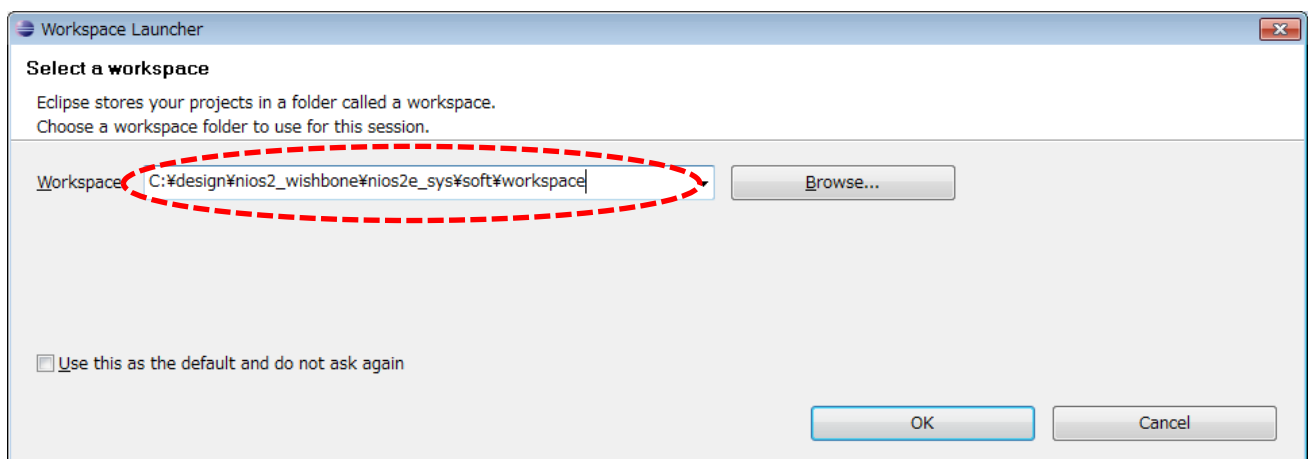




FPGA に回路データ書き込み



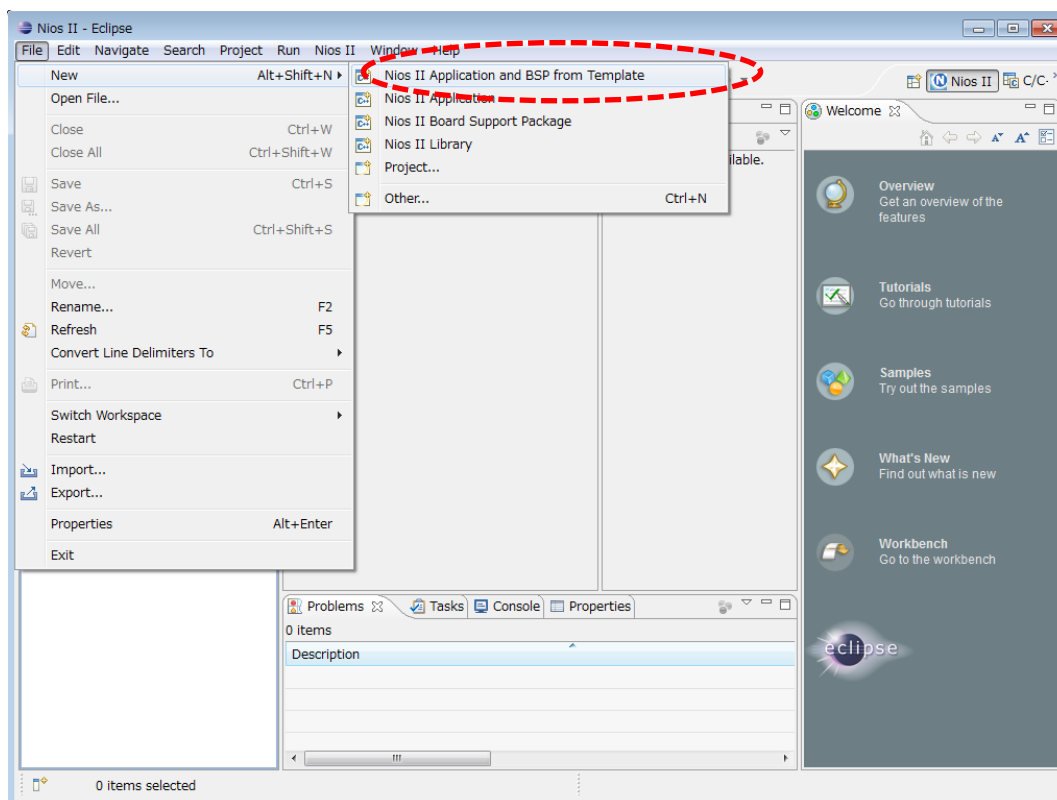
・Nios II EDS (Nios II Software Build Tools) でソフトウェアを作ります。  
新規のソフトウェアプロジェクトを作成するので EDS を管理者として実行してください。  
管理者として実行しないとソフトウェアプロジェクトを作成でエラーになります。



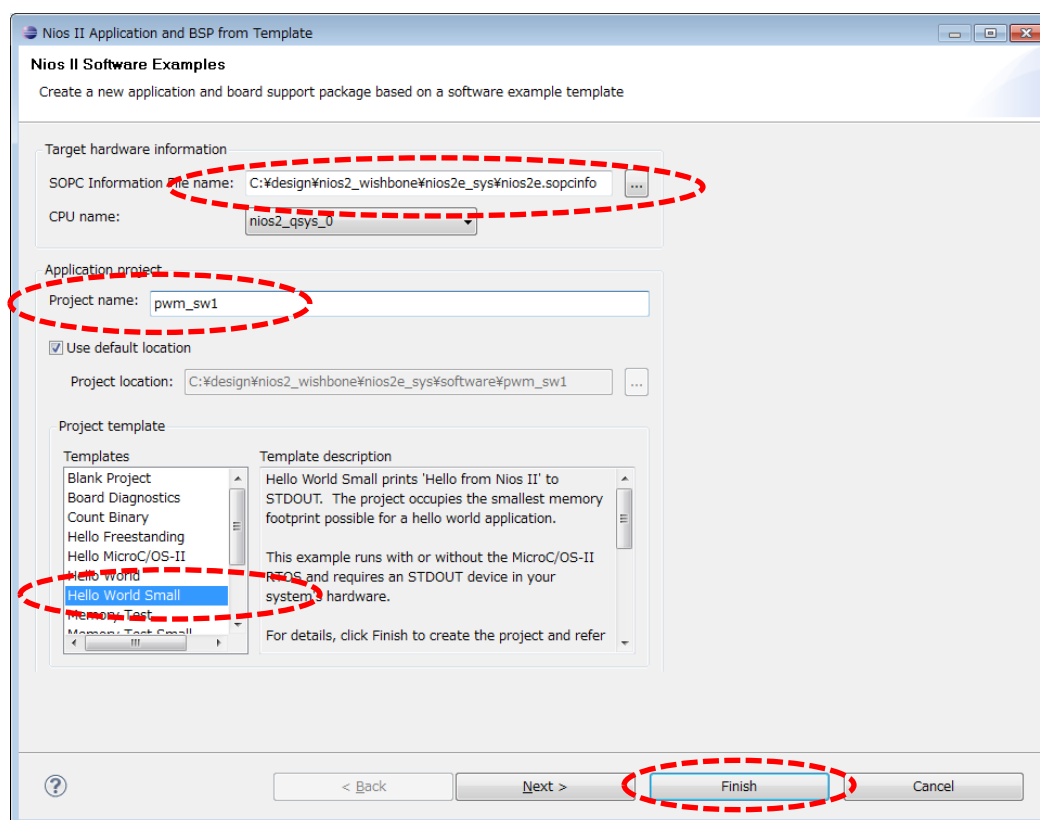
EDS が起動するとワークスペースを指定が要求されます。設計フォルダ/soft/waorkspace を設定





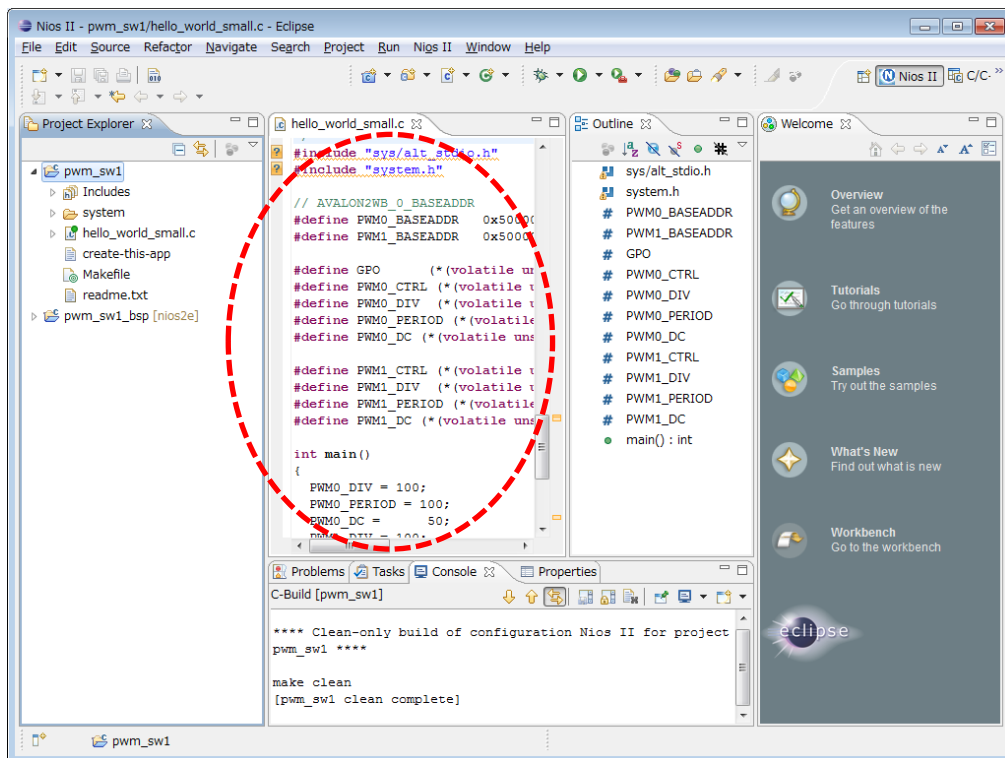


新規のソフトウェアプロジェクト作成

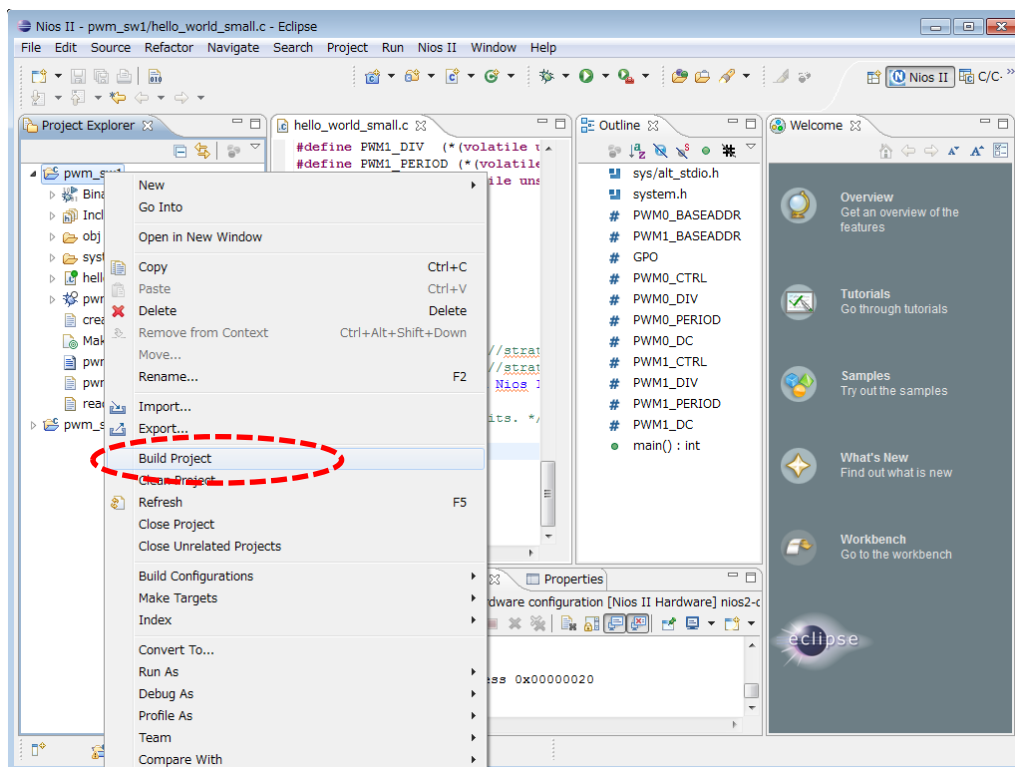


sopc ファイル、プロジェクト名指定



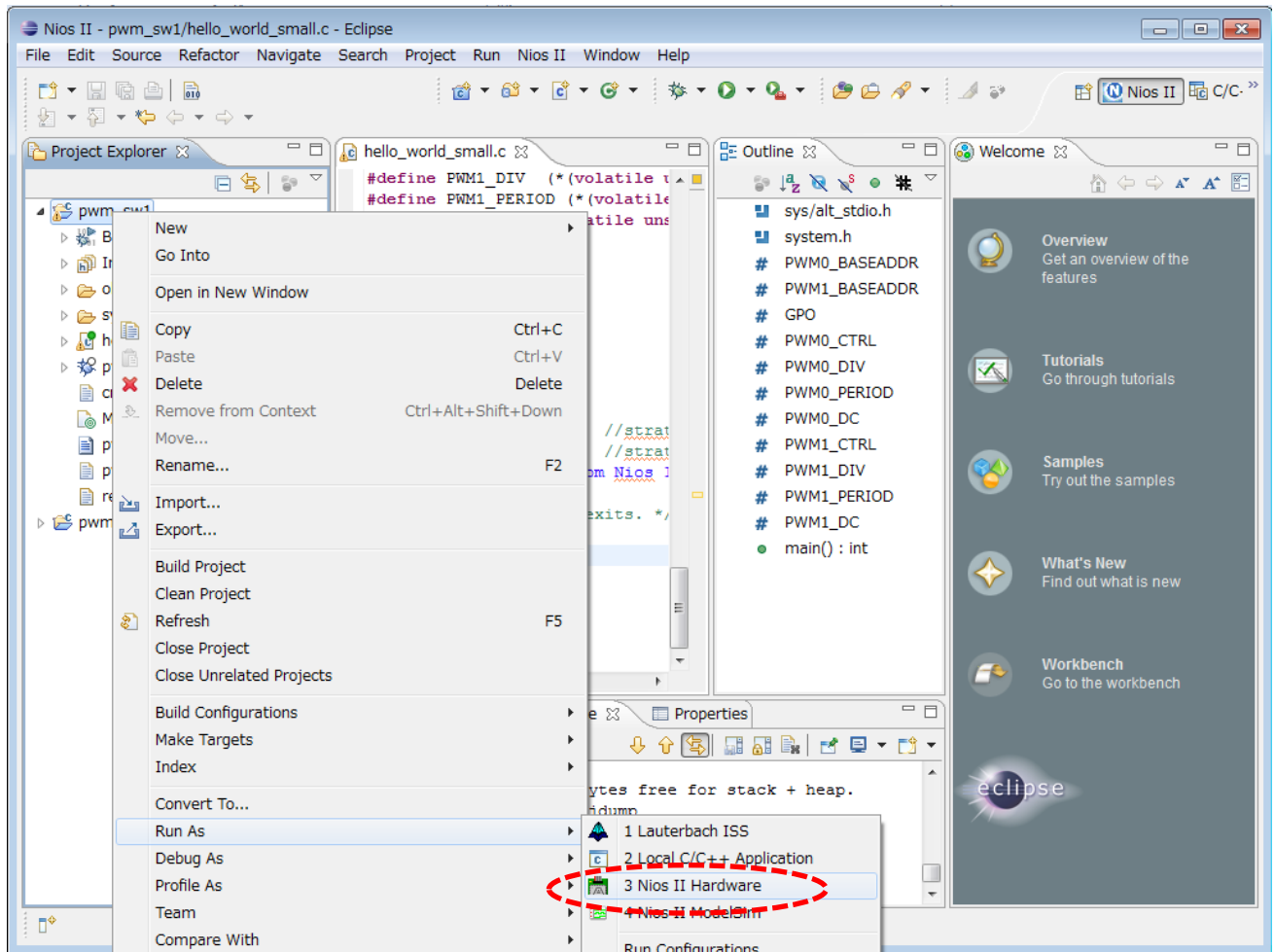


pwm\_s1 にある Hello\_world\_small.c にダウンロードデータの opencores\_ip/de0/ Hello\_world\_small.c の内容を書き写しセーブする。



ビルドを実行





DE0 でソフトウェア実行、ソフトウェアの実行ファイルが書き込まれると DE0 が起動するので動作を確認する。